



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0021969  
Application Number

출원년월일 : 2003년 04월 08일  
Date of Application APR 08, 2003

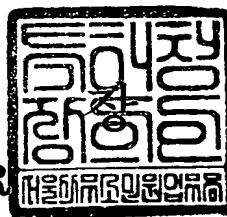
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 05 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.08
【발명의 명칭】	멀티 섹터 소거 동작 모드를 갖는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE HAVING MULTI SECTOR ERASE MODE OF OPERATION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	채동혁
【성명의 영문표기】	CHAE, DONG-HYUK
【주민등록번호】	731010-1674614
【우편번호】	151-019
【주소】	서울특별시 관악구 신림9동 건영3차아파트 1동 405호
【국적】	KR
【발명자】	
【성명의 국문표기】	임흥수
【성명의 영문표기】	LIM, HEUNG-SOO
【주민등록번호】	680208-1573911
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 519동 904호
【국적】	KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

【요약서】

【요약】

본 발명은 여러 개의 동일한 칩을 하나의 패키지에 실장한 멀티 칩 시스템에 있어서 멀티 섹터 소거 동작을 구현할 수 있는 반도체 메모리 장치에 관한 것이다. 본 발명에 따른 반도체 메모리 장치는 멀티 섹터 소거 동작 모드를 가지고 있으며, 어드레스 가산 신호 및 섹터 체크 신호를 발생하고 검출 결과에 따라 소거 동작을 명하는 소거 동작 제어기와; 각 섹터에 할당되어 소거 여부를 결정하는 데이터 레지스터와; 어드레스 가산 신호에 따라 섹터 어드레스를 하나씩 증가하는 가산 회로를 기본 구조로 하고 있으며, 각 칩에 공통으로 연결된 어드레스 가산 신호 패드를 포함하고 있는 것을 특징으로 한다.

【대표도】

도 2

## 【명세서】

## 【발명의 명칭】

멀티 섹터 소거 동작 모드를 갖는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE HAVING MULTI SECTOR ERASE MODE OF OPERATION}

## 【도면의 간단한 설명】

도 1은 본 발명에 따른 멀티 칩 시스템을 보여주는 블록도;

도 2는 도 1에 도시된 멀티 칩 시스템의 제 1 칩과 제 2 칩의 멀티 섹터 소거 동작을 보여주는 블록도;

도 3은 도 2에 도시된 클록 발생 회로를 보여주는 회로도;

도 4는 도 2에 도시된 제 1 플래그 신호 발생 회로;

도 5는 도 2에 도시된 제 2 플래그 신호 발생 회로;

도 6은 도 1에 도시된 제 1 칩(200)과 제 2 칩(300)에 있는 메모리 셀 어레이들(260,360)을 보여주는 도면;

도 7은 멀티 칩 섹터 소거 동작을 설명하기 위한 타이밍도이다.

\* 도면의 주요 부분에 대한 부호 설명 \*

100 : 멀티 칩 시스템

200, 300 : 칩

210 : 클록 발생 회로

220 : 가산 회로

230 : 소거 동작 제어기

240 : 데이터 레지스터

250 : 소거 회로

260 : 메모리 셀 어레이

270 : 제 1 플래그 신호 발생 회로

280 : 제 2 플래그 신호 발생 회로

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14>        본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 멀티 칩 시스템에 있어서 멀티 섹터 소거 동작을 수행하기 위한 반도체 메모리 장치에 관한 것이다.
- <15>        현재, 반도체 메모리 장치(예를 들면, 플래시 메모리 등)는 소거의 단위가 되는 다수의 섹터로 구성되어 있다.
- <16>        단일칩으로 이루어진 반도체 메모리 장치는 일반적으로 다음과 같은 과정을 통해 섹터 소거 동작이 이루어진다. 외부 컨트롤러는 소거 동작을 위한 커맨드와 소거하고자 하는 섹터 어드레스를 입력한다. 이때 외부 컨트롤러는 하나의 섹터 어드레스를 입력하여 하나의 섹터를 소거할 수 있고, 여러 개의 섹터 어드레스를 입력하여 한꺼번에 여러 섹터를 소거할 수도 있다. 후자와 같이 여러 개의 섹터가 한 번에 소거되는 것을 단일칩에서의 멀티 섹터 소거 동작이라 한다.
- <17>        소거 명령이 입력되면, 칩 내부의 데이터 레지스터에 소거할 섹터 어드레스에 대한 정보가 저장된다. 데이터 레지스터는 각 섹터에 하나씩 할당된 레지스터로서, 소거할 섹터에 할당된 레지스터 값은 "1"로 세팅된다. 실제 소거 동작시 각 섹터의 소거 여부는 이 레지스터 값을 통해 판단한다.
- <18>        소거 동작이 시작되면, 칩 내부의 소거 동작 제어기는 가산 회로의 어드레스 카운터를 0으로 초기화한다. 예를 들어, 128 (  $2^7$  )개의 섹터로 된 메모리 셀인 경우에, 섹터 어드레스 SA<6:0>을 '0'으로 초기화한다. 소거 동작 제어기는 첫 번째 섹터에 섹터 체크 신호를 발생하

여 데이터 레지스터로 하여금 첫번째 섹터에 대한 소거 여부를 판단하도록 한다. 첫번째 섹터가 데이터 레지스터에 저장된 소거될 섹터와 일치하지 않는 경우에는 로드 섹터 신호가 활성화되지 않는다. 이 경우에는 소거 동작 제어기는 어드레스 가산 신호를 발생하여 어드레스 카운터로 하여금 섹터 어드레스를 증가시키게 한 후 다음 섹터에 대한 섹터 체크를 계속하게 한다. 한편, 첫번째 섹터가 데이터 레지스터에 저장된 소거할 섹터와 일치하는 경우에는 섹터 체크시 로드 섹터 신호가 활성화된다. 이때 소거 동작 제어기는 소거 신호를 활성화하고 소거 회로로 하여금 해당 섹터에 대한 소거 동작을 수행하도록 한다.

<19> 첫번째 섹터에 대한 소거 동작이 끝나고 소거 신호가 비활성화되면, 소거 동작 제어기는 다시 어드레스 가산 신호를 발생한다. 이때 어드레스 카운터는 섹터 어드레스를 증가시키고, 두번째 섹터에 대한 소거 동작을 반복한다. 상기 동작의 반복을 통해 섹터 어드레스가 마지막에 이르면, 어드레스 카운터는 파이널 섹터 어드레스 신호(FinalSCTAdd)를 출력하고, 소거 동작 제어기는 소거 마침 신호 (EraseFinish)를 발생함으로써 소거 동작을 종료하게 한다.

#### 【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 멀티 칩 시스템에 있어서 멀티 섹터 소거 동작을 수행하기 위한 반도체 메모리 장치를 제공하는 것이다.

#### 【발명의 구성 및 작용】

<21> 본 발명에 따른 반도체 메모리 장치는 멀티 칩 시스템에서 멀티 섹터 소거 동작 모드를 가지고 있다. 상기 반도체 메모리 장치는 복수의 섹터로 이루어진 셀 어레이; 소거 신호와 섹터 어드레스에 응답하여 동작하며, 상기 셀 어레이의 해당 섹터를 소거하는 소거회로; 칩 어드레스 및 제 2 플래그 발생 신호가 일치하는지 여부를 검출하고, 검출 결과에 따라 데이터 레지

스터 및 클록 발생 회로의 동작을 각각 제어하기 위한 섹터 체크 신호와 커런트 칩 신호를 발생하며, 로드 섹터 신호 입력시 소거 신호를 발생하는 제어 회로; 상기 커런트 칩 신호와 상기 어드레스 가산 신호에 응답하여 동작하며, 어드레스 클록 신호를 발생하는 클록 발생 회로; 상기 어드레스 클록 신호에 응답하여, 순차적으로 최상위 어드레스 비트에 해당하는 칩 어드레스와 하위 어드레스 비트에 해당하는 섹터 어드레스를 발생하는 가산 회로; 소거하고자 하는 섹터 어드레스에 대한 정보를 저장하고 있으며, 섹터 체크 신호에 응답하여 소거하고자 하는 섹터 어드레스와 상기 섹터 어드레스가 일치하는지 여부를 검출하고, 검출 결과에 따라 로드 섹터 신호를 발생하는 데이터 레지스터를 포함한다.

<22> 이 실시예에 있어서, 상기 제어 회로는 소거 동작을 제어하는 소거 동작 제어기; 해당 칩이 멀티 칩 시스템의 일부로 동작하는지 여부를 나타내는 제 1 플래그 신호 발생 회로; 상기 해당 칩이 멀티 칩 시스템 내의 상위 어드레스 영역에 속하는 칩인지 여부를 나타내는 제 2 플래그 신호 발생 회로를 포함한다. 제 1 및 제 2 플래그 발생 회로들은 각 칩 내에 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태로 존재한다.

<23> 이 실시예에 있어서, 상기 클록 발생 회로는 어드레스 가산 신호 및 커런트 칩 신호에 응답하여 동작하며, 각 칩에 공통으로 연결된 어드레스 가산 신호 패드를 포함하고 있고 각 칩에 동시에 어드레스 클록 신호를 발생한다.

<24> 본 발명의 바람직한 실시예가 참조 도면들에 의거하여 이하에서 상세히 설명될 것이다.

<25> 도 1은 본 발명에 따른 멀티 칩 시스템을 보여주는 블록도이다. 도 1을 참조하면, 본 발명에 따른 멀티 칩 시스템(100)은 2개 이상의 반도체 메모리 장치들(200,300)을 포함한다. 이 실시예에 있어서, 반도체 메모리 장치들은 동일한 내부 구조를 갖는 메모리 칩들이며 하나의 패키지에 실장된다. 반도체 메모리 장치들은 어드레스/데이터 버스와 제어 버스를 공유하여 용



량이 큰 하나의 멀티 칩 시스템을 구성한다. 본 발명에 따른 멀티 칩 시스템은 멀티 섹터 소거 동작을 위해, 모든 칩들의 어드레스가 동시에 증가하도록 클럭 발생 회로(210,310)를 통해 각 칩의 가산 회로(220,320)에 어드레스 클럭을 동시에 전달한다.

<26> 도 2는 도 1에 도시된 멀티 칩 시스템의 제 1 칩(200)과 제 2 칩(300)의 멀티 섹터 소거 동작을 보여주는 도면이다.

<27> 도 2를 참조하면, 본 발명에 따른 반도체 메모리 장치(200)는 외부로부터 소거 동작 커맨드와 소거할 어드레스 정보가 입력될 때 소거 개시 신호(Erase Busy)가 활성화되면서 소거 동작을 시작한다. 소거 동작의 시작은 외부 컨트롤러로부터 주어지는 소거 시작 커맨드에 의해 이루어질 수도 있고, 칩 내에 타이머를 두고 최종적으로 소거할 섹터 어드레스가 입력된 이후부터 일정 시간이 지난 후에 소거 동작을 시작할 수도 있다.

<28> 가산 회로(220)는 각 칩을 구분하는 어드레스까지 셀 수 있어야 한다. 따라서 가산 회로(200)에서 발생하는 어드레스는 칩 어드레스와 섹터 어드레스로 구분된다. 칩 어드레스의 비트는 최상위 어드레스의 비트에 할당된다. 예를 들면, 하나의 칩이  $128 (2^7)$  개의 섹터로 된 2 칩 시스템인 경우에, 칩 어드레스의 비트수는 1비트로서, SA<7>에 해당하고, 섹터 어드레스는 SA<6:0>이 된다. 4 칩 시스템인 경우에는, 칩 어드레스의 비트수는 2비트로서, SA<8:7>에 해당하고, 섹터 어드레스는 SA<6:0>이 된다. 결과적으로  $2^N$ 개의 섹터로 된 2 칩 시스템의 경우에, 멀티 섹터 소거 동작을 수행하기 위해서는 SA<N:0>, 즉 (N+1)bit에 해당하는 가산회로가 필요하다. 여기서 칩 어드레스에 해당하는 SA<N>은 소거 동작 제어기(230)에 입력되고, 섹터 어드레스에 해당하는 SA<N-1:0>은 데이터 레지스터(240)와 소거 회로(250)에 입력된다.

- <29> 제어 회로(230, 270, 280)는 소거 동작 제어기(230)와 제 1 및 제 2 플래그 발생 회로(270, 280)로 구성되어 있다.
- <30> 소거 동작 제어기(230)는 소거 개시 신호(EraseBusy)의 활성화에 의해 작동되며, 가산 회로(220)를 초기화하고, 섹터 체크를 수행한다. 다만, 상기 소거 동작 제어기(230)는 상기 가산 회로(220)에서 발생한 칩 어드레스와 제 2 플래그 발생 회로(280)에 코딩되어 있는 칩 어드레스가 일치할 경우에만 작동한다. 상기 칩 어드레스가 일치할 경우, 상기 소거 동작 제어기(230)는 섹터 체크 신호를 발생하며, 그 결과에 따라 소거 신호를 활성화하여 소거 동작을 수행하거나, 어드레스 가산 신호를 발생하여 어드레스를 증가시킨 후에 다음 섹터에 대한 소거 여부를 체크한다.
- <31> 예를 들어 설명하면, 128 (  $2^7$  )개의 섹터로 된 2칩 시스템(100)의 경우에, 칩 어드레스 SA<7>가 '0'일 때는 칩 1(200)에서만 섹터 체크가 수행되며, 섹터 체크 결과 소거될 섹터인 것으로 판단되면 칩 1(200)의 소거 신호(EraseEnable)가 활성화되어 소거 동작을 수행하게 된다. 소거 회로(250) 내의 디코더는 가산 회로(220)의 출력인 섹터 어드레스 SA<6:0>을 참조하여 선택된 섹터에 소거 동작에 필요한 고전압을 인가한다. 이때 칩 어드레스가 '1'로서 최상위 어드레스 SA<7>과 일치하지 않는 칩 2(300)의 소거 동작 제어기(330)는 섹터 체크 펄스를 발생시키지 않으며 소거 신호도 발생하지 않는다. 어드레스가 증가하여 칩 2(300)의 첫번째 섹터에 해당하는 SA128에 이르면 칩 어드레스 SA<7>은 '1'로 변경되며, 이에 따라 섹터 체크는 칩 2(300)에서만 일어나게 되고 칩 1(200)의 섹터 체크 펄스 및 소거 신호는 발생되지 않는다.
- <32> 제 1 플래그 발생 회로(270)는 해당 칩이 멀티 칩 시스템의 일부로 동작하는지의 여부를 나타내기 위한 것이다. 멀티 칩(100)의 일부로 동작하는 경우에는 MULTI 값이 '1'로 세팅되고,

멀티 칩(100)이 아닌 경우에는 MULTI 값이 '0'으로 세팅되어 있으며, 상기 소거 동작 제어기(230)에 전달된다.

- <33> 제 2 플래그 발생 회로(280)는 해당 칩이 제 1 칩(200)과 제 2 칩(300) 중 어느 칩에 해당하는지의 여부를 나타내기 위한 것이다. 제 1 칩(200)인 경우에는 TOP 값이 '0'으로 세팅되고, 제 2 칩(300)인 경우에는 TOP 값이 '1'로 세팅되어 있다. 본 발명의 다른 실시예로서, 4칩 시스템의 경우에는 해당 칩이 어느 칩에 해당하는지 여부를 나타내기 위해 제 2 플래그 발생 회로는 2 bit를 갖게 될 것이다.
- <34> 클록 발생 회로(210)는 어드레스 가산 신호와 커런트 칩 신호에 응답하여 어드레스 클록 신호를 발생한다. 어드레스 클록 신호는 버퍼(211)를 통해 본 칩의 가산 회로(220)에 전달된다. 한편, 클록 발생 회로(210)에서 발생한 어드레스 클록 신호(AddrCLKx)는 모든 칩에 동시에 전달된다. 하위 어드레스가 속해 있는 칩(200)에 대한 소거 동작이 완료되면, 곧바로 상위 어드레스 속해 있는 칩(300)에 대한 소거 동작이 수행되도록 하기 위함이다.
- <35> 데이터 레지스터(240)는 소거할 섹터 어드레스(예를들면 도 6에서 SA3, SA130)에 대한 정보가 저장된다. 데이터 레지스터(240)는 각 섹터에 하나씩 할당된 레지스터로서, 소거할 섹터에 할당된 레지스터 값은 "1"로 세팅된다. 실제 소거 동작시 각 섹터의 소거 여부는 이 레지스터 값을 통해 판단한다. 데이터 레지스터(240)는 섹터 체크 신호에 응답하여, 이미 저장되어 있는 소거할 섹터 어드레스(예를들면 도 6에서 SA3, SA130)에 대한 정보와 가산 회로(220)에서 출력된 섹터 어드레스를 비교하여, 일치하면 로드 섹터 신호를 발생한다. 만약 일치하지 않으면 로드 섹터 신호가 발생하지 않고 소거 동작 제어기(230)가 다음 섹터 어드레스에 대한 섹터 체크를 위해 어드레스 가산 신호를 활성화한다. 상기 동작은 마지

막 섹터까지 순차적으로 반복하게 되며, 결과적으로 소거하기 위해 데이터 레지스터(240)에 입력된 모든 섹터(예를들면, 도 6에서 SA3, SA130)에 대한 소거 동작이 이루어지게 된다.

<36> 모든 섹터에 대한 소거 동작이 끝나면 파이널 섹터 어드레스 신호가 발생하여 소거 동작이 종료된다.

<37> 도 3은 도 2에 도시된 클록 발생 회로와 어드레스 클록 버퍼를 보여주는 회로도이다. 상기에서 살펴본 바와 같이 멀티 칩 시스템에서 멀티 섹터 소거 동작을 위해서는 모든 칩에서 동시에 어드레스가 증가되어야 한다. 이를 위해 클록 발생 회로(210, 310)는 현재 칩 어드레스인 SA<N>이 해당 칩의 칩 어드레스와 일치하면 '1'로 활성화되는 커런트 칩 신호를 입력받아 각 칩에 어드레스 클록 펄스를 공급하는 역할을 한다. 한편 커런트 칩이 '0'인 경우에는 출력이 High-Z (플로우팅) 상태가 되며, 버퍼를 통해 현재 선택된 칩으로부터 오는 어드레스 클록 신호를 받아 가산 회로(220)에서 어드레스를 증가시킨다.

<38> 도 4 및 도 5는 도 2에 도시된 제 1 및 제 2 플래그 신호 발생 회로를 나타낸 도면이다. 제 1 플래그 발생 회로(270)는 반도체 메모리 장치(200,300)가 멀티 칩 패키지에 실장되었음을 알리는 제 1 플래그 신호(MULTI)를 출력하고, 제 2 플래그 발생 회로(280)는 반도체 메모리 장치(200)가 어드레스 영역을 기준으로 상위 영역에 대응하는지의 여부를 나타내는 제 2 플래그 신호(TOP)를 출력한다.

<39> 이 실시예에 있어서, 제 1 및 제 2 플래그 발생 회로들(270, 280)은 각 칩 내에 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태로 존재한다.

<40> 도 6은 제 1 칩(200)과 제 2 칩(300)에 있는 메모리 셀 어레이들(260,360)을 보여주는 도면이다. 도 6을 참조하면, 상기 셀 어레이들(260, 360)은 128개의 섹터로 구성된다. 제 1 칩

은 SA3, 제 2 칩은 SA130이 소거할 섹터이며, 이들 섹터에 대한 어드레스 정보가 데이터 레지스터(240)에 저장된다.

<41> 도 7은 멀티 칩 섹터 소거 동작을 설명하기 위한 타이밍도이다. 도 7을 참조하면, 소거 개시 신호(EraseBusy)가 입력될 때 소거 동작 제어기(230)는 가산 회로(220)를 초기화한다. 이때 칩 어드레스 SA<7>은 '0'이므로 칩 1(200)에서만 섹터 체크가 수행되며, 섹터 체크 결과 로딩된 섹터(SA3)인 것으로 판단되면 칩 1(200)의 소거 신호(EraseEnable)가 활성화되어 SA3에 대한 소거 동작을 수행하게 된다. 이때 칩 2(300)의 소거 동작 제어기(330)는 섹터 체크 펄스를 발생시키지 않으며, 소거 신호(EraseEnable)도 발생하지 않는다. 어드레스가 증가하여 칩 2(300)의 첫번째 섹터에 해당하는 SA128에 이르면 칩 어드레스 SA<7>은 '1'로 변경되며, 이에 따라 섹터 체크는 칩 2(300)에서만 일어나게 된다. 섹터 체크 결과 로딩된 섹터(SA130)인 것으로 판단되면 칩 2(300)의 소거 신호가 활성화되어 SA130에 대한 소거 동작을 수행하게 된다. 이때 칩 1(200)의 섹터 체크 펄스 및 소거 신호는 활성화 되지 않는다.

#### 【발명의 효과】

<42> 상술한 바와 같이, 여러 개의 동일한 칩을 하나의 패키지에 실장하여 하나의 멀티 칩 시스템을 구성하면 메모리의 양을 손쉽게 늘릴 수 있다. 이때, 각 칩은 어드레스 및 데이터 버스와 제어 신호 버스를 공유하며, 어드레스 클록 신호를 동시에 인가함으로써 2배 혹은 그 이상의 용량을 가지는 메모리 칩처럼 동작을 한다. 본 발명은 상기 멀티 칩 시스템에서 멀티 섹터 소거 동작을 구현하기 위한 반도체 메모리 장치를 제공하고 있다.

**【특허청구범위】****【청구항 1】**

복수의 섹터로 이루어지며, 데이터 정보를 저장하는 셀 어레이(260)와;

소거 신호와 섹터 어드레스에 응답하여 동작하며, 상기 셀 어레이의 해당 섹터를 소거하는 소거회로(250)와;

칩 어드레스 신호 및 제 2 플래그 발생 신호가 일치하는지 여부를 검출하고, 검출 결과에 따라 데이터 레지스터 및 클록 발생 회로를 제어하기 위해 각각 섹터 체크 신호와 커런트 칩 신호를 발생하며, 로드 섹터 신호가 입력되면 소거 신호를 발생하는 제어 회로(230, 270, 280)와;

상기 커런트 칩 신호와 상기 어드레스 가산 신호에 응답하여 동작하며, 어드레스 클록 신호를 발생하는 클록 발생 회로(210)와;

상기 어드레스 클록 신호에 응답하여, 순차적으로 최상위 어드레스 비트에 해당하는 칩 어드레스와 하위 어드레스 비트에 해당하는 섹터 어드레스를 발생하는가산 회로(220)와;

소거하고자 하는 섹터 어드레스에 대한 정보를 저장하고 있으며, 상기 섹터 체크 신호에 응답하여, 소거하고자 하는 섹터 어드레스와 상기 섹터 어드레스가 일치하는지 여부를 검출하고, 검출 결과에 따라 상기 로드 섹터 신호를 발생하는 데이터 레지스터(240)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 제어 회로는, 소거 동작을 제어하는 소거 동작 제어기(230)와;

해당 칩에 멀티 섹터 동작 모드가 실장되었는지 여부를 나타내는 제 1 플래그 발생 신호를 발생하는 제 1 플래그 신호 발생 회로(270)와;

상기 해당 칩이 멀티 칩 시스템의 상위 어드레스 영역에 속하는 칩인지 여부를 나타내는 제 2 플래그 발생 신호를 발생하는 상기 제 2 플래그 신호 발생 회로(280)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 클록 발생 회로는, 상기 어드레스 가산 신호 및 상기 커런트 칩 신호에 응답하여 동작하며, 멀티 칩 시스템 내의 모든 칩에 동시에 어드레스 클록 신호를 발생하는 것을 특징으로 하는 반도체 메모리 장치.

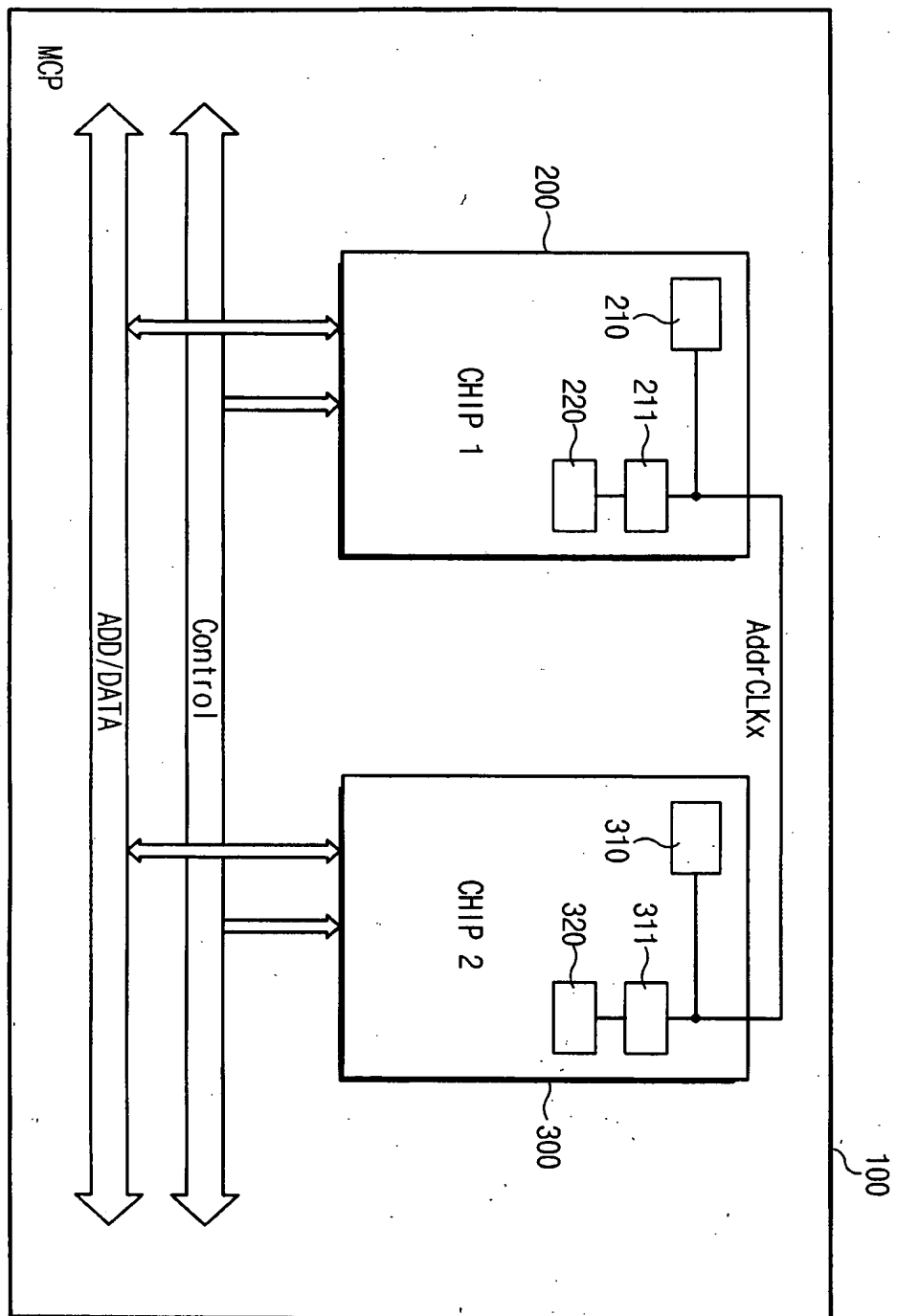
【청구항 4】

제 2 항에 있어서,

상기 소거 동작 제어기는, 상기 제 1 및 제 2 플래그 발생 신호들에 응답하여, 상기 가산 회로에서 출력된 칩 어드레스와 해당 칩의 어드레스가 일치할 경우에만, 상기 섹터 체크 신호와 상기 소거 신호를 발생하는 것을 특징으로 하는 반도체 메모리 장치.

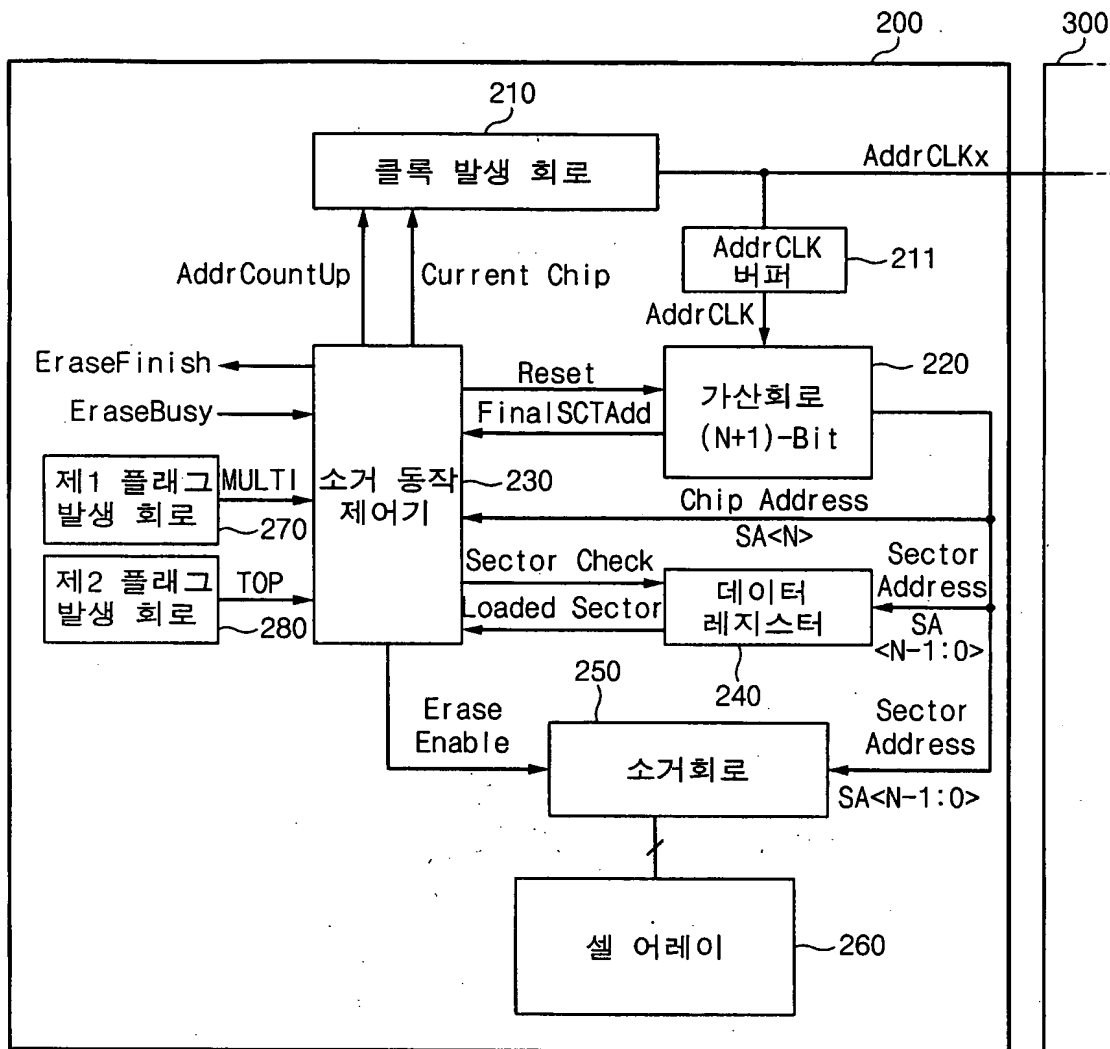
【도면】

【도 1】

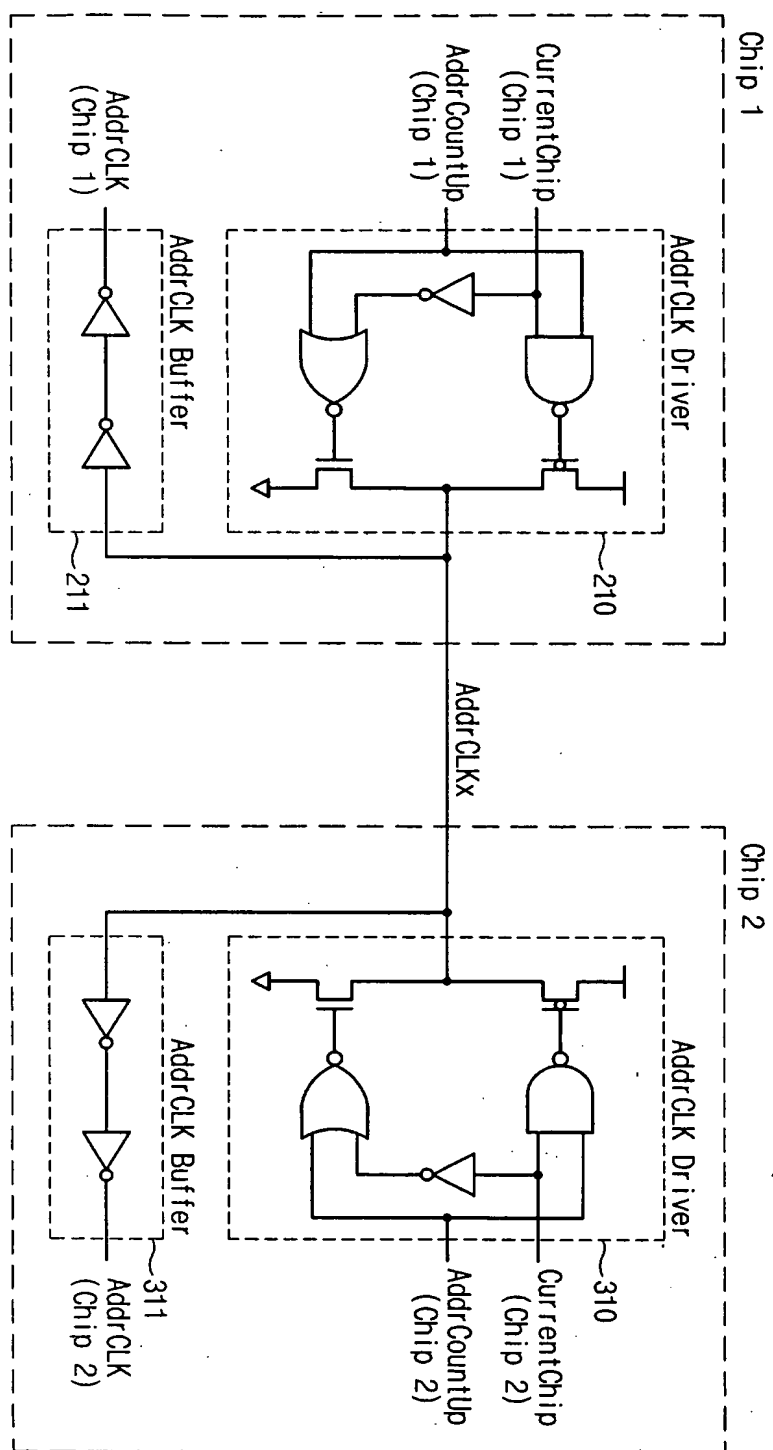




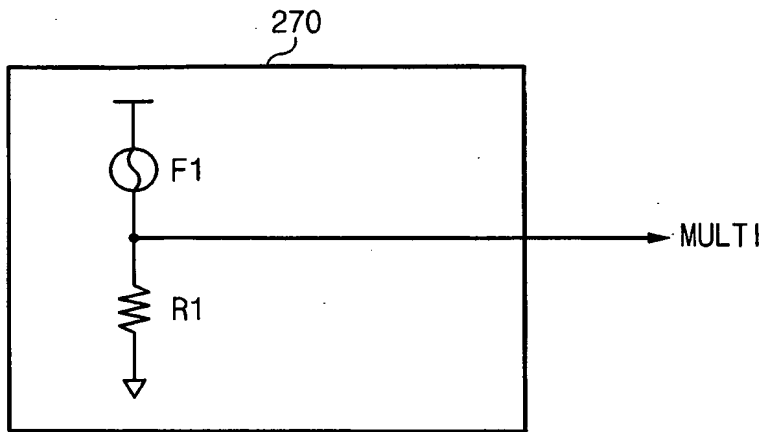
【도 2】



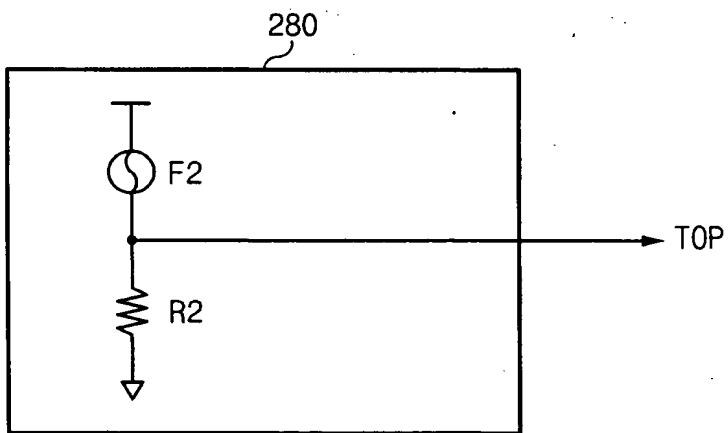
【도 3】



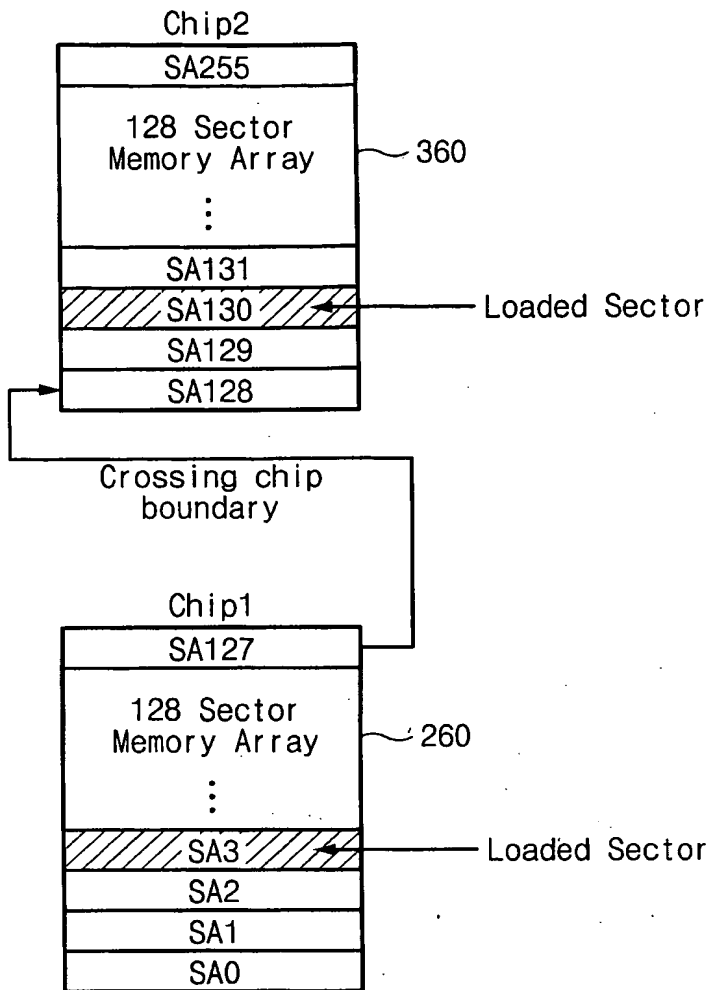
【도 4】



【도 5】



【도 6】



【도 7】

